

525, 983
10/525983

(12)特許協力条約に基づいて公開された国際公開

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年3月11日 (11.03.2004)

PCT

(10) 国際公開番号
WO 2004/021575 A1

(51) 国際特許分類: H03L 7/099, H03B 5/12, H04B 1/26

(21) 国際出願番号: PCT/JP2003/010660

(22) 国際出願日: 2003年8月22日 (22.08.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-248374 2002年8月28日 (28.08.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒448-8671 愛知県刈谷市豊田

町2丁目1番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県上越市西城町2丁目5番13号 Niigata (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 加藤 伊三美 (KATO, Isami) [JP/JP]; 〒448-8671 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内 Niigata (JP).

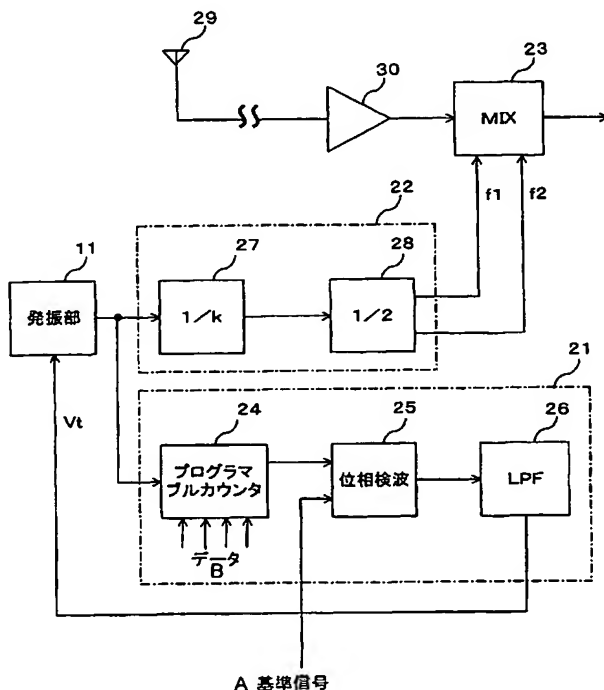
(74) 代理人: 大昔 義之 (OSUGA, Yoshiyuki); 〒102-0084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP).

(81) 指定国 (国内): CN, US.

[続葉有]

(54) Title: OSCILLATOR CIRCUIT

(54) 発明の名称: 発振回路



(57) Abstract: An oscillating part (11) generates a signal of a frequency $n \cdot f$ that is n times a target frequency f . A control voltage producing circuit (21) compares in phase a signal obtained by frequency-dividing the signal generated by the oscillating part (11) with a reference signal, and outputs, to the oscillating part (11), a DC control voltage that is in accordance with the phase difference therebetween, thereby controlling the oscillation frequency. A frequency divider circuit (22) frequency-divides, by n , and converts the signal generated by the oscillating part (11) into a signal of the target frequency f . Providing the oscillation frequency of the oscillating part that is n times the target frequency allows inductances and capacitors to be formed on a semiconductor integrated circuit board.

(57) 要約: 発振部 11 は、目的とする周波数 f の n 倍の周波数 $n \cdot f$ の信号を生成する。制御電圧生成回路 21 は、発振部 11 で生成される信号を分周した信号と、基準信号の位相を比較し、両者の位相差に応じた直流の制御電圧を発振部 11 に出力して発振周波数を制御する。分周回路 22 は、発振部 11 で生成される信号を $1/n$ に分周して目的とする周波数 f の信号に変換する。発振部の発振周波数を目的とする周波数の n 倍にすることでインダクタンス及びコンデンサを半導体集積回路基板上に形成することができる。

11...OSCILLATING PART
24...PROGRAMMABLE COUNTER
25...PHASE DETECTOR
B...DATA
A...REFERENCE SIGNAL

WO 2004/021575 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

発振回路

5 技術分野

本発明は、無線送信機及び受信機等の発振回路に関する。

背景技術

AM受信機、FM受信機などにおいては、受信信号に対して一定の周波数差
10 を有する信号を局部発振回路で生成し、受信信号と局部発振信号を混合し所定
の中間周波数信号に変換している。

AM受信機、FM受信機の回路をIC化する場合でも、局部発振回路は、所
望の発振周波数の信号を得るためのコンデンサの容量やインダクタンスの値が
大きな値となるためコンデンサやインダクタンスをIC内部に形成することが
15 難しく、受信機用ICの搭載される基板に外付けしていた。

そのため、受信機、あるいは送信機用IC別に外付部品が必要となり、部品
コスト、組み立てコストが高くなるという問題点があった。さらに、基板上に
コンデンサとコイル等を実装するスペースが必要となるので基板のサイズも大
きくなるという問題点があった。

20

発明の開示

本発明の課題は、半導体集積回路上に作成される発振回路の外付け部品を減
らすことである。

本発明の発振回路は、インダクタンスと可変容量素子を有し、目的とする周
25 波数の n 倍の周波数の信号を生成する発振部と、前記発振部により生成される

信号を $1/n$ に分周する分周回路とを備え、前記インダクタンスと可変容量素子を含む発振部及び分周回路を半導体集積回路基板上に形成した。

本発明の他の発振回路は、インダクタンスと可変容量素子を有し、目的とする周波数の n 倍の周波数の信号を生成する発振部と、前記発振部の発振周波数を制御する制御電圧を生成して前記発振部に出力する制御電圧生成回路と、前記発振部により生成される信号を $1/n$ に分周する分周回路とを備え、前記インダクタンスと可変容量素子を含む発振部、制御電圧生成回路及び分周回路を半導体集積回路基板上に形成した。

上記の発明によれば、可変容量素子及びインダクタンスを含む発振回路の部品を半導体集積回路基板上に形成することができる。これにより、半導体集積回路基板上に形成される発振回路のインダクタンスと可変容量素子を外付けする必要がなくなるので、部品コスト及び組み立てコストを低減できる。また、発振回路の部品を半導体集積回路基板上に形成し外付け部品をなくすことで、半導体集積回路が実装される基板を小型化できる。

上記の発明において、前記発振部は、複数の MOSFET と、インダクタンスと、可変容量素子とからなる。

このように構成することで、発振回路のインダクタンスと可変容量素子を半導体集積回路基板上に形成することができる。

上記の発明において、前記発振部は、複数の MOSFET と、インダクタンスと、コンデンサと、可変容量素子とからなり、前記制御電圧生成回路は、前記可変容量素子の容量を変化させる制御電圧を該可変容量素子に出力して前記発振部の発振周波数を制御する。

このように構成することで、制御電圧生成回路から出力される制御電圧により可変容量素子の容量を変化させることで、発振部の発振周波数を目的とする周波数の n 倍の周波数に制御することができる。

上記の発明において、前記発振部は、第1及び第2のMOSFETと、インダクタンスと、コンデンサと、可変容量素子とからなり、前記第1のMOSFETのソースまたはドレインにインダクタンスとコンデンサが接続され、前記第1のMOSFETのゲートに前記第2のMOSFETのソースまたはドレインが接続され、前記第2のMOSFETのゲートに前記第1のMOSFETのソースまたはドレインが接続され、前記第1のMOSFETのソースまたはドレインに前記コンデンサを介して前記可変容量素子が接続されている。

このように構成することで、発振部を第1及び第2のMOSFET、インダクタンス、コンデンサ及び可変容量素子を半導体集積回路基板上に形成することができる。

上記の発明において、前記可変容量素子に前記制御電圧生成回路から出力される制御電圧を供給し、該可変容量素子の容量を変化させて発振周波数を制御する。

このように構成することで、制御電圧生成回路から出力される制御電圧を変化させて発振部の発振周波数を目的とする周波数の n 倍の周波数に設定することができる。

上記の発明において、前記可変容量素子をMOSFETで作成する。

このように構成することで、半導体集積回路基板上に可変容量素子を作成できる。

上記の発明において、前記制御電圧生成回路は、前記発振部で生成される信号を分周した信号と基準信号との位相差を検出し、位相差に応じた制御電圧を出力する。

このように構成することで、発振部で生成される目的とする周波数の n 倍の周波数の信号の位相を基準信号の位相と同期させることができるので、発振部の発振周波数の精度を基準信号の周波数精度まで高めることができる。

上記の発明において、前記制御電圧生成回路は、プログラマブルカウンタと、該プログラマブルカウンタから出力される信号と基準信号との位相を比較する位相検波回路と、該位相検波回路から出力される信号の高域成分を阻止し直流の制御電圧を前記発振部に出力するローパスフィルタとからなるPLLシンセサイザ回路で構成される。

このように構成することで、発振部の発振周波数の精度を基準信号の周波数精度まで高めることができる。また、プログラマブルカウンタに設定する分周比を指定するデータを変更することで発振周波数を任意に設定できる。

上記の発明において、前記分周回路は、デューティ比50%の分周回路を含む。

このように構成することで、分周回路で $1/n$ に分周された信号の高調波を奇数次の高調波成分のみにできる。これにより、例えば、 $1/n$ の周波数の信号により受信信号を中間周波信号に変換したときに、後段のフィルタは奇数次の高調波のみを除去すればよいのでフィルタの構成が簡単になり、半導体集積回路基板上に形成するフィルタの面積を少なくできる。

図の簡単な説明

図1は、実施の形態の発振部の回路図である。

図2は、発振回路と混合回路を示すブロック図である。

発明の実施をするための最良の形態

以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の実施の形態のAM、FM受信機用ICの発振部の回路構成を示す図である。このAM、FM受信機用ICはCMOSプロセスにより製造される。

図1に示すように、2個のPチャネルMOSFET (MOSトランジスタ)

1 2, 1 3のゲートGは、互いに相手のドレインDに接続され、ソースSは定電流源1 4に共通に接続されている。定電流源1 4の他端は電源V dに接続されている。

5 MOSFET 1 2のドレインDにはインダクタンス（インダクタ、コイル）L 1とコンデンサC 1が接続され、インダクタンスL 1の他端は接地され、コンデンサC 1の他端は、MOSFET 1 5で構成された電圧制御型可変容量素子（可変容量素子）に接続されている。可変容量素子としてバラクタダイオードを用いても良い。インダクタンスL 1は、例えば、MOS集積回路基板上に多角形の渦巻状の配線パターンを形成して作成する。

10 MOSFET 1 3のドレインDは接地されている。また、MOSFET 1 3のゲートGは、MOSFET 1 2のドレインD（インダクタンスL 1との接続点）と接続されている。

15 MOSFET 1 2のドレインDにはコンデンサC 1が接続され、そのコンデンサC 1の他端はNチャンネルMOSFET 1 5のゲートGに接続されている。

MOSFET 1 5のゲートGには、制御電圧V tが抵抗R 1を介して入力され、ドレインDとソースSは接地されている。

20 この場合、MOSFET 1 5は電圧制御型可変容量素子として動作し、制御電圧V tを変化させることでMOSFET 1 5のゲートGとソースS（及びドレインD）間の容量を変化させることができる。

上述したMOSFET 1 2, 1 3、インダクタンスL 1、コンデンサC 1及びMOSFET 1 5によりLC発振回路からなる発振部1 1が構成されている。

25 例えば、発振部1 1の発振周波数を、目的とする周波数の約1 0 0倍の1 G H zに選定することで、発振部1 1のコンデンサC 1とMOSFET 1 5で構

成される可変容量素子の容量とインダクタンス L_1 の値を小さく設定でき、それらの素子をMOS集積回路基板上に形成することが可能となる。

これにより、LC発振回路のコンデンサ C_1 、可変容量素子(MOSFET 15)及びインダクタンス L_1 をMOS集積回路基板上に形成できるので外付けのコンデンサ(可変容量素子を含む)、コイル(インダクタンス)が不要となる。

MOSFET 12のドレインDにはコンデンサ C_2 が接続され、そのコンデンサ C_2 の他端はオペアンプ16の非反転入力端子に接続されている。オペアンプ16の反転入力端子は接地されている。

次に、以上のような構成の発振部11の動作を説明する。今、MOSFET 12が導通状態にあるとすると、MOSFET 12のソース、ドレインを通り、インダクタンス L_1 及びコンデンサ C_1 に電流が流れる。このとき、MOSFET 13のゲートには、MOSFET 12のドレイン電圧が印加され、MOSFET 13はオフ状態となっているので、MOSFET 12のドレイン電圧がMOSFET 13のゲートGとドレインDを通りMOSFET 12のソースに帰還され回路が発振する。このLC発振回路の発振周波数は、MOSFET 15のゲートに印加する制御電圧 V_t により可変することができる。

次に、図2は、発振部11とPLLシンセサイザ(制御電圧生成回路)21と分周回路22とからなる発振回路と、混合回路23を示すブロック図である。

PLLシンセサイザ21は、プログラマブルカウンタ24と、位相検波回路25と、ローパスフィルタ(LPF)26とで構成されている。

プログラマブルカウンタ24は、データ入力端子に入力される分周比設定データに基づいて、発振部11から入力される目的とする周波数 f の n 倍の周波数 $n \cdot f$ の信号(例えば、1GHzの信号)を分周して位相検波回路25に出

力する。プログラマブルカウンタ 24 は、外部から設定可能な分周比データにより分周比を任意に変更することができる。この分周比を変更することで、発振部 11 の発振周波数を任意の周波数に変更できる。

5 目的とする周波数 f の n 倍の周波数 $n \cdot f$ は、集積回路基板上に所望の値のインダクタンスとコンデンサを形成できるような周波数であればよい。好ましい周波数 $n \cdot f$ は 700MHz 以上である。実施の形態においては、目的とする周波数 f を約 10MHz としたときに、集積回路基板上にインダクタンスとコンデンサを形成できるように周波数 $n \cdot f$ を約 1GHz に設定し、 n の値を 100 に設定している。

10 位相検波回路 25 は、プログラマブルカウンタ 24 で分周された信号と、基準信号との位相差を検出する。

ローパスフィルタ (LPF) 26 は、位相検波回路 25 から出力される位相差に応じた信号の高域成分 (カットオフ周波数より高い周波数の信号) を阻止し、直流の制御電圧 V_t を発振部 11 へ出力する。

15 すなわち、PLL シンセサイザ 21 は、発振部 11 で生成される信号を所定の分周比で分周した信号の位相と基準信号の位相を比較し、両者の位相差に応じた直流の制御電圧 V_t を生成し、その制御電圧 V_t により発振部 11 の発振周波数を制御する。これにより、発振部 11 の発振周波数が目的とする周波数 f の n 倍の周波数 $n \cdot f$ に制御される。また、PLL シンセサイザ 21 は、プログラマブルカウンタ 24 で分周された信号の位相を基準信号の位相と同期させているので、発振部 11 の発振周波数の周波数精度を基準信号の周波数精度
20 まで高めることができる。

分周回路 22 は、発振部 11 から出力される目的とする周波数 f の n 倍の周波数 $n \cdot f$ の信号を $1/k$ に分周する $1/k$ 分周回路 27 と、 $1/k$ 分周回路
25 27 の出力信号をさらに $1/2$ に分周する $1/2$ 分周回路 28 とからなる。1

／2分周回路28からは、周波数が同一で位相が 180° 異なる2つの信号 f_1 、 f_2 が出力される。なお、 $1/k$ 分周回路は、 $1/2$ 分周回路、 $1/3$ 分周回路等を組み合わせて構成することができる。

分周回路22により発振部11で生成された目的とする周波数 f の n 倍の周波数 $n \cdot f$ の信号が $1/n$ に分周され目的とする周波数 f の信号に変換され、その信号が混合回路23に出力される。

混合回路23は、アンテナ部29で受信、同調され高周波増幅回路30で増幅され信号と、分周回路22から出力される同一の周波数で 180° 位相の異なる局部発振信号 f_1 、 f_2 とを混合して中間周波信号に変換する。

次に、以上のような構成の局部発信回路の動作を説明する。発振部11で生成された目的とする周波数 f （例えば、 10MHz ）の n 倍の周波数 $n \cdot f$ の信号（例えば、 1GHz の信号）は、プログラマブルカウンタ24により分周され、位相検波回路25において、分周された信号と基準信号の位相差が検出され、さらに、ローパスフィルタ26から位相差に応じた直流の制御電圧 V_t が出力される。

制御電圧 V_t は、図1に示すように発振部11のMOSFET15のゲートに供給されており、制御電圧 V_t に応じてMOSFET15のゲート、ソース（及びドレイン）間の容量が変化する。これにより、コンデンサ C_1 、MOSFET15の電極間容量、インダクタンス L_1 及びMOSFET12、13からなる発振部11の発振周波数が変化して発振周波数が目的とする周波数 f の n 倍の周波数 $n \cdot f$ となるように制御される。

分周回路22は、発振部11から出力される信号を $1/k$ に分周し、さらに $1/2$ に分周する。分周回路22の全体の分周比は $1/n$ に設計されており、発振部11で生成される目的とする周波数 f の n 倍の周波数 $n \cdot f$ の信号が、分周回路22で $1/n$ に分周され目的とする周波数 f の信号に変換される。

なお、1/2分周回路28のデューティ比は50%となっているので、基本波の高調波の中で偶数次の成分は発生せず、奇数次の成分のみが発生する。従って、混合回路23から出力される中間周波信号の高調波を除去するためのフィルタを、奇数次の高調波のみを除去するように設計すればよいので、フィルタの構成が簡単になる。これにより、MOS集積回路基板上に形成するフィルタの面積を小さくできる。

上述した実施の形態によれば、発振回路の発振周波数を目的とする周波数のn倍に設定することで、発振回路のインダクタンスとコンデンサ（可変容量素子を含む）の値を小さな値に設定することができる。従って、発振回路のインダクタンスと可変容量素子をMOS集積回路基板上に形成することができ、インダクタンスと可変容量素子を集積回路の外（集積回路が実装されているプリント基板上）に実装する必要がなくなる。これにより、FM、AM受信機の部品コスト及び組み立てコストを低減することができる。

なお、発振回路は、インダクタンスとコンデンサと可変容量素子とMOSFETからなる回路に限らず、インダクタンスと可変容量素子とMOSFETとからなる回路で構成してもよい。

本発明は、上記の実施の形態に限定されず、以下のように構成しても良い。

（1）発振部11の回路は、実施の形態で述べた発振回路に限らず、インダクタンスとコンデンサを用いる発振回路であればどのような発振回路にも適用できる。

（2）発振回路の発振周波数は、電圧制御型可変容量素子に印加する電圧を制御する方法に限らず、電流制御、あるいは容量以外のインピーダンスを変化させても良い。

（3）発振部の発振周波数を制御するための回路は、PLLシンセサイザ21に限らず、目的とする周波数のn倍の周波数となるように制御できる回路であ

れば良い。また、発振周波数が固定でよい場合には、プログラマブルカウンタを用いずに発振回路を構成してもよい。

- (4) 本発明は、MOS集積回路に限らず、バイポーラトランジスタ集積回路、あるいはバイポーラトランジスタとMOSトランジスタとが混在する集積回路にも適用できる。

(5) 本発明は、FM、AM受信機等の専用のICに限らず、パソコン等の他の機器に組み込まれる無線通信用ICの発振回路にも適用できる。

- 本発明によれば、発振回路のインダクタンスと可変容量素子を半導体集積回路基板上に形成することができるので外付け部品が不要となり、部品コスト、組み立てコストを低減できる。また、発振回路の外付け部品をなくすことで半導体集積回路が実装される基板を小型化できる。

請求の範囲

1. インダクタンスと可変容量素子を有し、目的とする周波数の n 倍の周波数の信号を生成する発振部と、
- 5 前記発振部により生成される信号を $1/n$ に分周する分周回路とを備え、
前記インダクタンスと可変容量素子を含む発振部及び分周回路を半導体集積回路基板上に形成した発振回路。
2. インダクタンスと可変容量素子を有し、目的とする周波数の n 倍の周波数の信号を生成する発振部と、
- 10 前記発振部の発振周波数を制御する制御電圧を生成して前記発振部に出力する制御電圧生成回路と、
前記発振部により生成される信号を $1/n$ に分周する分周回路とを備え、
前記インダクタンスと可変容量素子を含む発振部、制御電圧生成回路及び分周回路を半導体集積回路基板上に形成した発振回路。
- 15 3. 前記発振部は、複数の MOSFET と、インダクタンスと、可変容量素子とからなる請求項 1 または 2 記載の発振回路。
4. 前記発振部は、複数の MOSFET と、インダクタンスと、可変容量素子とからなり、
前記制御電圧生成回路は、前記可変容量素子の容量を変化させる制御電圧を
20 該可変容量素子に出力して前記発振部の発振周波数を制御する請求項 2 記載の発振回路。
5. 前記発振部は、第 1 及び第 2 の MOSFET と、インダクタンスと、可変容量素子とからなり、
前記第 1 の MOSFET のソースまたはドレインに前記インダクタンスと可
25 変容量素子が接続され、前記第 1 の MOSFET のゲートに前記第 2 の MOS

FETのソースまたはドレインが接続され、前記第2のMOSFETのゲートに前記第1のMOSFETのソースまたはドレインが接続される請求項1, 2, 3または4記載の発振回路。

6. 前記発振部は、第1及び第2のMOSFETと、インダクタンスと、コンデンサと、可変容量素子とからなり、

前記第1のMOSFETのソースまたはドレインに前記インダクタンスが接続され、前記第1のMOSFETのゲートに前記第2のMOSFETのソースまたはドレインが接続され、前記第2のMOSFETのゲートに前記第1のMOSFETのソースまたはドレインが接続され、前記第1のMOSFETのソースまたはドレインに前記コンデンサを介して前記可変容量素子が接続され、前記可変容量素子に前記制御電圧生成回路から出力される制御電圧を供給し、該可変容量素子の容量を変化させて発振周波数を制御する請求項1乃至4の何れか1つに記載の発振回路。

7. 前記可変容量素子をMOSFETで構成した請求項1乃至6の何れか1つに記載の発振回路。

8. 前記制御電圧生成回路は、前記発振部で生成される信号を分周した信号と基準信号との位相差を検出し、位相差に応じた制御電圧を出力する請求項2乃至7の何れか1つに記載の発振回路。

9. 前記制御電圧生成回路は、プログラマブルカウンタと、該プログラマブルカウンタの出力信号と基準信号との位相を比較する位相検波回路と、該位相検波回路の出力の高域成分を阻止し直流の制御電圧を前記発振部に出力するローパスフィルタとからなるPLLシンセサイザ回路である請求項1乃至8の何れか1つに記載の発振回路。

10. 前記分周回路はデューティ比50%の分周回路を含む請求項1乃至9の何れか1つに記載の発振回路。

1/2

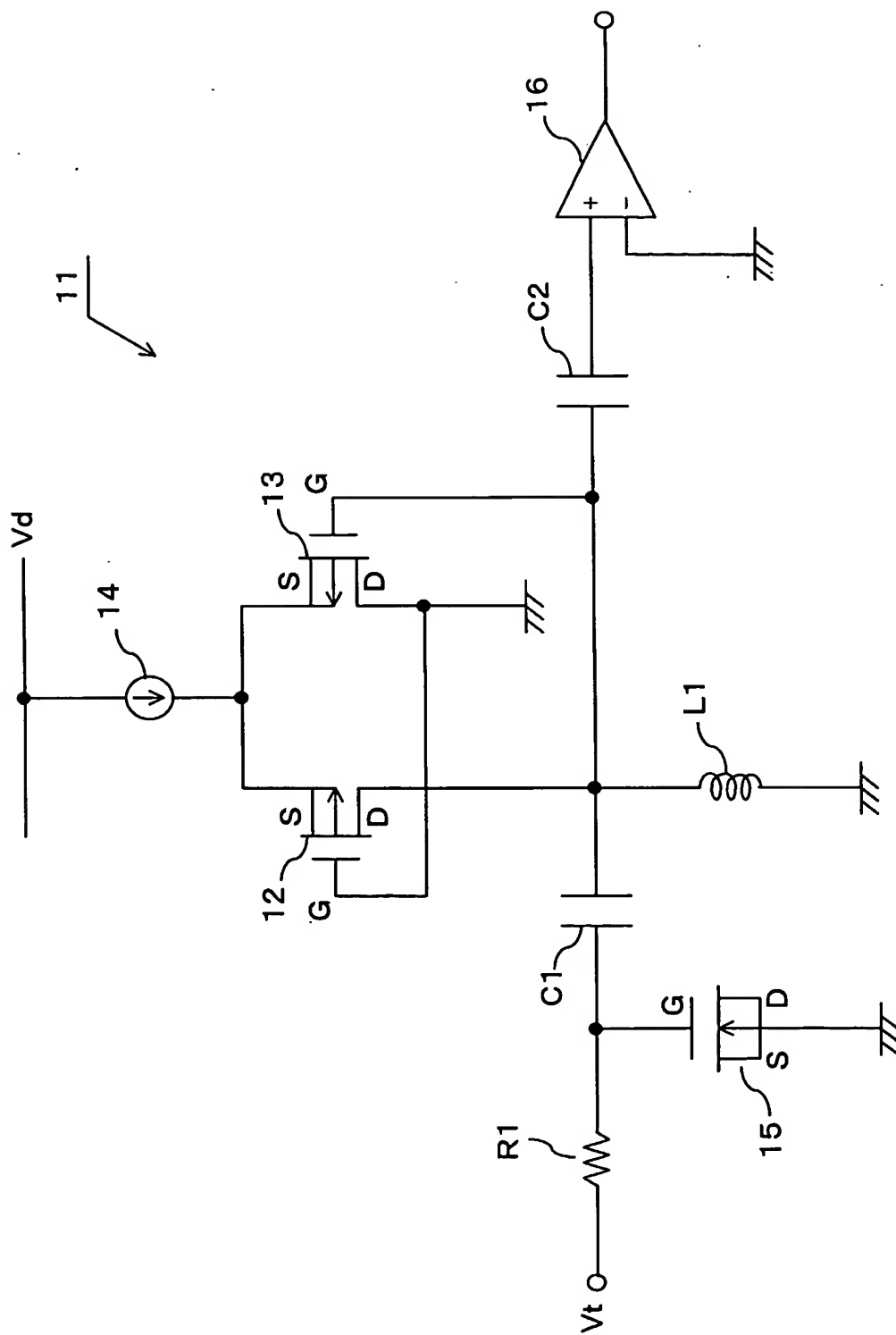


図 1

2 / 2

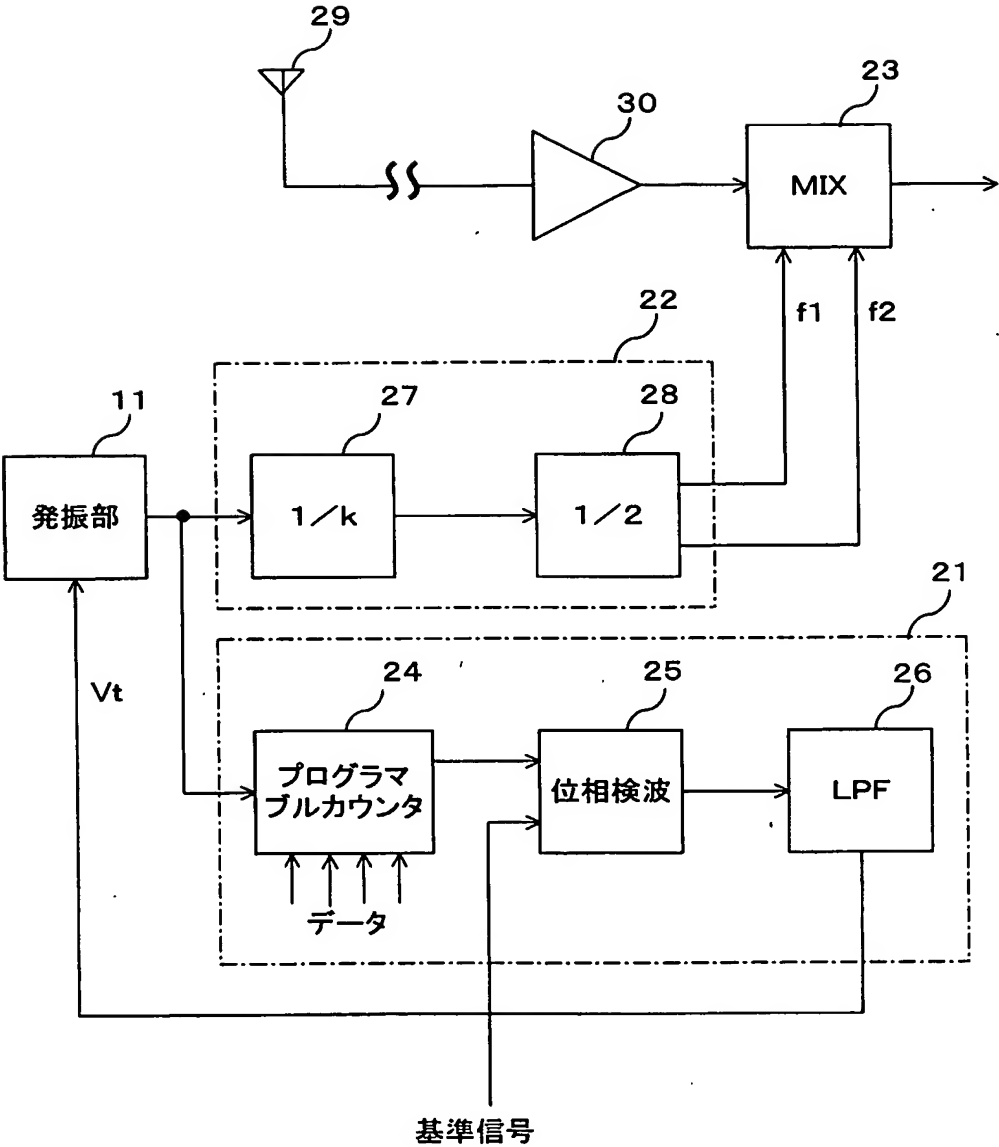


図2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/10660A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03L7/099, H03B5/12, H04B1/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03L7/06-7/23, H03B5/00-5/28Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X P, A	JP 2003-037496 A (Asahi Kasei Microsystems Co., Ltd.), 07 February, 2003 (07.02.03), Page 3, right column, line 28 to page 4, right column, line 48; Fig. 1 (Family: none)	1, 2, 8-10 3-7
P, X P, A	JP 2002-271196 A (Nihon Dempa Kogyo Co., Ltd.), 20 September, 2002 (20.09.02), Page 3, left column, line 8 to page 3, right column, line 1; Fig. 1 (Family: none)	1, 2, 8-10 3-7

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
11 November, 2003 (11.11.03)Date of mailing of the international search report
25 November, 2003 (25.11.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10660

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2003-078348 A (Sharp Corp.), 14 March, 2003 (14.03.03), Page 4, left column, line 12 to page 6, left column, line 14; Fig. 1 (Family: none)	1-10
X A	JP 2000-082958 A (Kabushiki Kaisha TIF), 21 March, 2000 (21.03.00), Page 3, left column, line 33 to page 4, right column, line 44; Fig. 1 (Family: none)	1, 2, 8, 9 3-7, 10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H03L 7/099, H03B 5/12, H04B 1/26

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H03L 7/06-7/23, H03B 5/00-5/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	JP 2003-037496 A (旭化成マイクロシステム株式会社)	1, 2, 8-10
PA	2003.02.07, 第3頁右欄第28行-第4頁右欄第48行, 第1図 (ファミリーなし)	3-7
PX	JP 2002-271196 A (日本電波工業株式会社)	1, 2, 8-10
PA	2002.09.20, 第3頁左欄第8行-第3頁右欄第1行, 第1図 (ファミリーなし)	3-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.11.03

国際調査報告の発送日

25.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄



5W

9750

電話番号 03-3581-1101 内線 3575

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PA	JP 2003-078348 A (シャープ株式会社) 2003.03.14, 第4頁左欄第12行-第6頁左欄第14 行, 第1図 (ファミリーなし)	1-10
X	JP 2000-082958 A (株式会社ティ・アイ・エフ) 2000.03.21, 第3頁左欄第33行-第4頁右欄第44 行, 第1図 (ファミリーなし)	1, 2, 8, 9
A		3-7, 10